Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Артеменков Михаил Николаевич
Должность: Ректор
Дата подписания: 09.11.2026 18:40:57
Уникальный программный ключ:
a63b74166e8f4fc17bd1e0462725f79e393bfdf9

Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Смоленский государственный университет»

Кафедра радиотехники

«Утверждаю»
Проректор по учебно-методической
деятельности
_____Ю.А. Устименко
«25» декабря 2025г.

Рабочая программа дисциплины

Б1.В.05 Синтез цифровых устройств на ПЛИС

Направление подготовки **01.04.02 Прикладная математика и информатика**
Направленность (профиль) **Математическое и программное обеспечение цифровых радиотехнических систем и комплексов**
Форма обучения: очная
Курс – 2
Семестр – 3
Всего зачетных единиц – 3; часов – 108
Форма отчетности: зачет – 3 семестр.

Программу разработал: кандидат технических наук, доцент Е.Л. Царегородцев

Одобрена на заседании кафедры
«02» сентября 2025 г., протокол № 1

Смоленск
2025

1. Место дисциплины в структуре ОП

Дисциплина "Синтез цифровых устройств на ПЛИС" включена в часть, формируемую участниками образовательных отношений, образовательной программы по направлению подготовки 01.04.02 Прикладная математика и информатика (направленность (профиль) – Математическое и программное обеспечение цифровых радиотехнических систем и комплексов).

Для успешного освоения дисциплины необходимы знания и компетенции, полученные при изучении следующих курсов: "Цифровая схемотехника", "Основы алгоритмизации и программирования" и "Электроника" курса бакалавриата.

Знания и умения, полученные в результате освоения данной дисциплины, необходимы для: прохождения производственной практики, подготовки выпускной квалификационной работы (ВКР).

2. Планируемые результаты обучения по дисциплине

ПК-2. Способен проектировать программное и информационное обеспечение, вычислительные модели и модели данных для реализации элементов новых (или известных) программных продуктов в области цифровых радиотехнических систем и комплексов	**Знает:** структуру программного обеспечения, основные требования к его проектированию, методики разработки и анализа блок-схем алгоритмов, современные языки программирования, технологии программирования. **Умеет:** проектировать программное и информационное обеспечение в области цифровых радиотехнических систем и комплексов, формулировать требования к программным продуктам, создавать блок-схемы алгоритмов функционирования разрабатываемых программных продуктов, оценивать их вычислительную сложность. **Владеет:** методами и приемами формализации и алгоритмизации поставленных проектных задач по созданию программного обеспечения.
ПК-3. Способен разрабатывать программное обеспечение цифровых радиотехнических систем и комплексов	**Знает:** архитектуру аппаратной платформы, синтаксис, принципы и особенности программирования (в том числе кроссплатформенного, распределенного и параллельного программирования), стандартные библиотеки выбранного языка программирования, стандарты реализации интерфейсов устройств, технологии разработки и отладки программных продуктов, принципы информационного построения сетевого взаимодействия, методики тестирования программного обеспечения. **Умеет:** использовать методы и приемы формализации и алгоритмизации поставленных задач, применять выбранный язык программирования для написания программного кода, осуществлять отладку программного обеспечения. **Владеет:** основными методами и приемами разработки и отладки программных продуктов.

3. Содержание дисциплины

Архитектура ПЛИС и основы Verilog HDL. Архитектура современных ПЛИС. Средства проектирования и отладки. Основы языка VHDL. Синтез комбинационных схем

Проектирование сложных цифровых устройств. Синхронные последовательностные схемы. Конечные автоматы и их реализация. Верификация и тестирование проектов. Оптимизация и временной анализ

4. Тематический план

№ п/п	Разделы и темы	Всего часов	Формы занятий		
			Лекции	Лабораторные занятия	Самостоятельная работа
1.	**Архитектура ПЛИС и основы VHDL**	**52**	**8**	**8**	**36**
1.1	Архитектура ПЛИС Xilinx семейства Artix-7 и Zynq-7000	8	2		6
1.2	Средства проектирования Vivado Design Suite	8	2		6
1.3	Основы работы в Vivado Design Suite. Проектирование комбинационных схем	10		4	6
1.4	Основы языка VHDL для платформы Xilinx	8	2		6
1.5	Синтез комбинационных схем в Vivado	8	2		6
1.6	Проектирование последовательностных схем. Счетчики и регистры	10		4	6
2.	**Проектирование сложных цифровых устройств на ПЛИС Xilinx**	**56**	**6**	**6**	**44**
2.1	Синхронные последовательностные схемы с использованием тактовых ресурсов Xilinx	8	2		6
2.2	Конечные автоматы и их реализация на ПЛИС Xilinx	8	2		6
2.3	Проектирование конечных автоматов	12		4	8
2.4	Верификация и тестирование проектов в Vivado	9	1		8
2.5	Оптимизация и временной анализ с использованием Vivado	9	1		8
2.6	Верификация и отладка проектов с использованием Vivado	10		2	8
	ИТОГО	**108**	**14**	**14**	**80**

5. Виды учебной деятельности

Занятия лекционного типа

Лекция 1. Архитектура ПЛИС Xilinx семейства Artix-7 и Zynq-7000

Лекция 2. Средства проектирования Vivado Design Suite

Лекция 3. Основы языка VHDL для платформы Xilinx

Лекция 4. Синтез комбинационных схем в Vivado

Лекция 5. Синхронные последовательностные схемы с использованием тактовых ресурсов Xilinx

Лекция 6. Конечные автоматы и их реализация на ПЛИС Xilinx

Лекция 7. Верификация и тестирование проектов в Vivado. Оптимизация и временной анализ с использованием Vivado

Занятия семинарского типа (лабораторные работы)

Лабораторная работа № 1. Основы работы в Vivado Design Suite. Проектирование комбинационных схем **(4 часа)**

Цели работы:

– освоить интерфейс и основные возможности Vivado Design Suite;

– изучить структуру проекта на языке VHDL для ПЛИС Xilinx;

– получить практические навыки описания комбинационных логических устройств;

– освоить методику функционального моделирования в Vivado Simulator.

Оборудование и программное обеспечение: персональный компьютер, установленное ПО: Vivado Design Suite (Web Edition), отладочная плата на базе ПЛИС Xilinx.

Задания:

1. **Создание проекта.** Запустите Vivado Design Suite. Создайте новый RTL Project с именем lab1_combinational. Выберите в качестве целевого устройства ПЛИС Xilinx, установленную на вашей отладочной плате (например, xc7a35t для Basys 3).

2. **Написание кода мультиплексора**. Создайте новый файл VHDL. Опишите entity mux_4to1 для 4-входового мультиплексора с использованием конструкции with-select. Модуль должен иметь входы data, sel и выход out.

3. **Синтез и анализ.** Проведите синтез проекта (Run Synthesis). Изучите отчет синтеза, обратите внимание на использование ресурсов (LUT, Flip-Flops). Просмотрите Schematic для графического представления синтезированной схемы.

4. **Функциональное моделирование.** Создайте файл тестового окружения (Testbench VHDL). Задайте входные стимулы, которые проверяют все возможные комбинации входных сигналов. Запустите Behavioral Simulation в Vivado Simulator.

5. **Верификация на плате.** Создайте файл ограничений (XDC). Назначьте выводы ПЛИС на физические переключатели (входы) и светодиоды (выходы). Проведите реализацию (Implementation) и сгенерируйте битовый файл. Запрограммируйте ПЛИС. Подавая различные комбинации на переключатели, проверьте работу мультиплексора на отладочной плате.

Контрольные вопросы:

1. Какие основные элементы включают ПЛИС Xilinx 7-series и каково их назначение?
2. Чем отличается комбинационная логика от последовательностной в контексте реализации на ПЛИС Xilinx?
3. Какие конструкции языка VHDL наиболее эффективно синтезируются в Vivado для комбинационных схем?
4. Какова роль файла ограничений (XDC) в проекте Vivado?
5. Что показывает Schematic Viewer после синтеза и для чего он используется?
6. Почему при проектировании для ПЛИС Xilinx важно учитывать архитектуру LUT?

Лабораторная работа № 2. Проектирование последовательностных схем. Счетчики и регистры **(4 часа)**

Цели работы:

– изучить принципы проектирования синхронных цифровых устройств для ПЛИС Xilinx;

– освоить методику описания последовательностных схем на VHDL с использованием тактовых ресурсов Xilinx;

– получить навыки работы с триггерами, счетчиками и регистрами;

– научиться проводить временной анализ проектов в Vivado.

Оборудование и программное обеспечение: Персональный компьютер, ПО Vivado Design Suite, отладочная плата на базе ПЛИС Xilinx.

Задания:

1. **D-триггер с асинхронным сбросом:** Создайте проект lab2_sequential. Опишите поведение D-триггера с асинхронным сбросом с использованием процесса (process). Модуль должен иметь входы: clk, rst, d и выход q.

2. **Счетчик-делитель:** На основе D-триггеров создайте 4-разрядный счетчик-делитель частоты с использованием арифметических операций VHDL. Реализуйте функцию асинхронного сброса.

3. **Сдвиговый регистр:** Опишите 8-разрядный сдвиговый регистр с последовательным входом и параллельным выходом с использованием оператора конкатенации.

4. **Временной анализ:** Проведите временной анализ проекта с помощью Vivado Timing Analyzer. Определите максимальную частоту работы счетчика.

5. **Демонстрация на плате:** Реализуйте счетчик на отладочной плате Basys 3. Тактовый сигнал подайте с кнопки, выходы - на светодиоды. Продемонстрируйте работу счетчика.

Контрольные вопросы:

1. В чем основное отличие последовательностных схем от комбинационных при реализации на ПЛИС Xilinx?
2. Что такое глобальные тактовые сети в ПЛИС Xilinx и каковы их преимущества?
3. Чем отличается асинхронный сброс от синхронного в контексте ПЛИС Xilinx?
4. Как рассчитывается максимальная частота работы цифрового устройства в Vivado Timing Analyzer?
5. Что такое метастабильность и как с ней бороться в ПЛИС Xilinx?
6. Какие методы повышения быстродействия последовательностных схем вы знаете для архитектуры Xilinx?

Лабораторная работа № 3. Проектирование конечных автоматов **(4 часа)**

Цели работы:

– изучить теорию конечных автоматов (FSM) и их реализацию на ПЛИС Xilinx;

– освоить методику coding style для описания FSM на VHDL с использованием архитектуры Xilinx;

– получить навыки верификации автоматов с помощью тестового окружения в Vivado;

– научиться анализировать ресурсоемкость проектов в Vivado.

Оборудование и программное обеспечение: Персональный компьютер, ПО Vivado Design Suite, отладочная плата Xilinx.

Теоретическое введение:

Задания:

1. **Разработка автомата:** Разработайте конечный автомат управления светофором для реализации на ПЛИС Xilinx. Составьте граф переходов и таблицу состояний.
2. **Кодирование на VHDL:** Опишите автомат на VHDL, используя стиль с двумя процессами с оптимизацией для архитектуры Xilinx.
3. **Верификация:** Напишите тестовое окружение в Vivado, которое проверяет все возможные переходы между состояниями автомата.
4. **Синтез и анализ:** Проведите полную реализацию проекта в Vivado. Изучите отчеты синтеза и реализации, определите использование ресурсов (LUT, FF, BUFG).
5. **Реализация на плате:** Реализуйте автомат на отладочной плате. Используйте кнопки для входных сигналов, светодиоды - для индикации текущего состояния.

Контрольные вопросы:

1. Дайте определение конечного автомата. Чем автомат Мура отличается от автомата Мили в контексте ПЛИС Xilinx?
2. Опишите рекомендуемую структуру кода FSM на VHDL для оптимизации в Vivado.
3. Что такое "кодирование состояний" и какие методы поддерживает Vivado для ПЛИС Xilinx?
4. Какова роль Timing Constraints в процессе верификации сложных цифровых устройств?
5. Какие факторы влияют на ресурсоемкость реализации автомата в ПЛИС Xilinx?
6. Как оптимизировать автомат для повышения быстродействия в архитектуре Xilinx?

Лабораторная работа № 4. Верификация и отладка проектов с использованием Vivado **(2 часа)**

Цели работы:

– освоить современные методы верификации цифровых устройств в Vivado;

– изучить инструменты отладки Vivado Hardware Manager;

– получить навыки работы с Integrated Logic Analyzer (ILA);

– научиться анализировать и устранять временные нарушения в Vivado.

Оборудование и программное обеспечение: Персональный компьютер, ПО Vivado Design Suite, отладочная плата Xilinx.

Задания:

1. **Создание тестового окружения:** Разработайте comprehensive testbench VHDL для проверки проекта из предыдущей работы с использованием возможностей Vivado Simulator.
2. **Функциональная верификация:** Проведите многоуровневое моделирование: Behavioral, Post-Synthesis и Post-Implementation Simulation.
3. **Временной анализ:** Выполните полный временной анализ проекта с созданием timing constraints. Устраните выявленные временные нарушения.
4. **Отладка с ILA:** Настройте и используйте Integrated Logic Analyzer для отладки проекта на плате через Vivado Hardware Manager.
5. **Анализ результатов:** Проанализируйте результаты верификации и отладки с использованием отчетов Vivado. Составьте отчет о проделанной работе.

Контрольные вопросы:

1. Что такое верификация и чем она отличается от тестирования в контексте Vivado?
2. Какие методы функциональной верификации предоставляет Vivado Simulator?
3. Как работает Integrated Logic Analyzer (ILA) и чем он отличается от SignalTap?
4. Что такое setup time и hold time в контексте ПЛИС Xilinx? Почему их violation критично?
5. Какие методы устранения временных нарушений существуют в Vivado?
6. Как оценить качество верификации проекта с использованием отчетов Vivado

Самостоятельная работа студента

Подготовка к лабораторным работам

Подготовка к лабораторным занятиям включает в себя подготовку ответов на теоретические вопросы к лабораторным работам и самостоятельное решение задач по теме занятия (приведены в планах лабораторных занятий).

Методические рекомендации для студентов по подготовке к лабораторному занятию:

Подготовка к лабораторным занятиям предполагает подготовку студентом ответов на теоретические вопросы и выполнение практических заданий для самостоятельной работы (решение задач, предварительное написание фрагментов кода). Перечень вопросов для подготовки к занятию и задания для самостоятельной работы приведены в планах лабораторных занятий. Выполнение студентами данного вида самостоятельной работы проверяется преподавателем в начале соответствующего лабораторного занятия и является основанием для допуска к его выполнению.

1. Изучите материал, соответствующий теме лабораторной работы, по конспекту лекций и документации Xilinx.
2. Найдите в тексте учебника и UG-документации Xilinx ответы на контрольные вопросы к лабораторной работе.
3. Выучите основные понятия, определения и синтаксические конструкции языка VHDL для платформы Xilinx.
4. Выполните предварительные задания, предложенные для самостоятельной работы по теме данного занятия.

Методические рекомендации студенту по самостоятельному решению задач и написанию кода:

Перед решением задач и написанием кода студенту рекомендуется повторить необходимые теоретические положения, синтаксис языка описания аппаратуры, используя материалы лекций, конспекты, а также источники из списка основной и дополнительной литературы, официальную документация производителей ПЛИС (Xilinx), ресурсы сети «Интернет».

Решение каждой задачи по проектированию должно содержать следующие этапы:

1. **Анализ технического задания:** Размещается в верхней части листа. Включает четкую формулировку цели проектирования, входных и выходных сигналов проектируемого модуля (имя, разрядность, назначение).
2. **Разработка алгоритма и блок-схемы:** Размещается справа от технического задания. На блок-схеме необходимо отобразить алгоритм работы устройства, основные блоки и связи между ними. Для последовательностных схем обязательна разработка графа состояний конечного автомата.
3. **Анализ и выбор метода реализации:** Включает указание на те физические принципы и архитектурные особенности ПЛИС (использование блоков памяти, DSP-блоков), на которых основывается решение задачи.
4. **Написание кода на VHDL:** Код должен быть написан в соответствии с принятыми стандартами кодирования: иметь комментарии, понятные имена сигналов, быть структурированным и читаемым.
5. **Верификация:** Приводится план верификации разработанного модуля (список тестовых случаев, которые необходимо проверить). По возможности пишется простейшее тестовое окружение (testbench).
6. **Анализ полученных результатов:** Проводится анализ синтезированной схемы (количество использованных логических элементов, частота работы). Полученный результат анализируется на соответствие техническому заданию.

Методические рекомендации для студентов по организации самостоятельной подготовки к лабораторным занятиям:

Подготовка к лабораторным занятиям включает в себя изучение теоретического материала по теме занятия, подготовку ответов на вопросы к защите лабораторной работы, предварительное написание кода и заготовку отчета. Вопросы для подготовки к защите лабораторной работы приведены в планах лабораторных занятий. Выполнение студентами данного вида самостоятельной работы проверяется преподавателем на соответствующем лабораторном занятии.

Выполнение лабораторной работы включает в себя три основных этапа:

1. **Самостоятельная подготовка студента к выполнению лабораторной работы.**
2. На данном этапе студент:

- Самостоятельно изучает методические указания по выполнению лабораторной работы.
- Изучает учебную литературу и конспекты лекций по теме работы.
- **Выполняет предварительное задание:** пишет заготовку кода проекта на VHDL, создает заготовку проекта в САПР, разрабатывает тестовое окружение.
- Изучает описание отладочной платы, назначение выводов, периферийных устройств.
- Готовит краткие ответы на контрольные вопросы к работе.

3. **Выполнение лабораторной работы (проведение эксперимента) и обработка результатов.** На данном этапе студент:

- Получает у преподавателя допуск к выполнению работы (проверка предварительной подготовки).
- Проводит эксперимент: дорабатывает код, проводит функциональное и временное моделирование, синтезирует проект и программирует ПЛИС.

o Все полученные результаты (скриншоты временных диаграмм, отчеты САПР о синтезе) заносятся в отчет. Корректность работы запрограммированного устройства на плате проверяется и подтверждается преподавателем.

o Проводит анализ полученных результатов: вычисляет частотные характеристики, потребляемые ресурсы, делает вывод о достижении цели работы.

4. **Оформление и защита лабораторной работы.** Защита включает в себя:

o Проверку преподавателем письменного отчета студента о выполненной лабораторной работе.

o Беседу со студентом по контрольным вопросам, касающимся теории работы устройства, методики проектирования и верификации, анализа полученных данных.

Перечень вопросов, выносимых на самостоятельное изучение:

1. Сравнительный анализ архитектур ПЛИС различных семейств (Intel Cyclone, Xilinx Artix).
2. Принципы работы и реализация на ПЛИС различных интерфейсов связи (UART, SPI, I2C).
3. Способы уменьшения энергопотребления проектов на ПЛИС (clock gating, power-aware синтез).
4. Обзор современных средств высокоуровневого синтеза (HLS) для ПЛИС.
5. Принципы организации конвейера (pipeline) в цифровых устройствах для повышения быстродействия.
6. Методы тестирования и отладки сложных проектов на ПЛИС с использованием встроенных анализаторов (Vivado ILA).

По каждому вопросу необходимо составить краткий конспект, включающий основные принципы, области применения, преимущества и недостатки рассматриваемых методов и технологий. Конспекты проверяются преподавателем на зачете.

6. Критерии оценивания результатов освоения дисциплины

6.1. Оценочные средства и критерии оценивания для текущей аттестации

1. Подготовка конспекта по вопросам курса, выносимым на самостоятельное изучение (перечень вопросов курса, выносимых на самостоятельное изучение, приведен в разделе «Самостоятельная работа»).

Критерии оценивания конспектов по прикладным вопросам курса, выносимым на самостоятельное изучение

Показатель	Количество баллов
1) Соответствие представленного материала поставленному вопросу	1
2) Полнота изложения ответа (представлены все необходимые теории, понятия, факты и пр.)	1
3) Логика изложения материала (материал выстроен в логической последовательности, соблюдается схема причина – следствие, предпосылка – вывод)	1
4) Глубина изложения ответа (представлены не только основные положения теорий и законы, но и получены и обоснованы выводы из них)	1
5) Конспект сопровождается рисунками и схемами, необходимыми для пояснения теоретических положений	1
6) Приведены примеры использования описанных явлений, теорий и устройств на практике	1

7) При подготовке ответа на вопрос использованы дополнительные источники информации	1
8) Работа оформлена грамотно, не содержит опечаток и ошибок, форматирование текста соответствует общепринятым требованиям	1
9) Представлен краткий устный доклад на практическом занятии по вопросу, выносимому на самостоятельное изучение	1
10) Студент ответил на дополнительные вопросы преподавателя по конспекту	1
Итоговая (суммарная) оценка	Max - 10

Оценка «зачтено» - 5 баллов и более; оценка «не зачтено» - менее 5 баллов.

2. Выполнение и защита лабораторной работы (задания к лабораторным занятиям и вопросы для защиты приведены в планах лабораторных занятий)

Критерии оценивания лабораторной работы

Показатель	Количество баллов
1) Лабораторная работа выполнена вовремя на соответствующем занятии в соответствии расписанием	1
2) По результатам выполнения лабораторной работы получены корректные результаты и данные	1
3) Отчет по лабораторной работе соответствует шаблону и содержит все необходимые пункты	1
4) Отчет по лабораторной работе включает в себя результаты моделирования по всем обязательным пунктам задания	1
5) Отчет по лабораторной работе содержит все необходимые чертежи и графики	1
6) На защите лабораторной работы студент дал правильные и полные ответы на поставленные преподавателем контрольные вопросы (5 вопросов)	1* 5 вопросов
Итоговая (суммарная) оценка	Max - 10

Оценка «зачтено» – 3 балла и более по результатам выполнения лабораторной работы (п.1-5 критериев оценивания) и 3 балла и более по результатам защиты лабораторной работы (п. 6 критериев оценивания), оценка «не зачтено» - менее 3 баллов по результатам выполнения лабораторной работы и/или менее 3 баллов по результатам защиты лабораторной работы.

3. Тест

Тема 1: Архитектура ПЛИС Xilinx и основы VHDL

1. Основным элементом кристалла ПЛИС Xilinx, предназначенным для реализации комбинационной логики, является:

a) Блок RAM (BRAM)
b) Аппаратный multiplier (DSP48)
c) Таблица поиска (LUT)
d) Блок ввода-вывода (IOB)

2. Какое из перечисленных утверждений о архитектуре ПЛИС Xilinx является НЕВЕРНЫМ?

a) Блоки BRAM позволяют реализовать память без использования LUT
b) Блоки DSP48 повышают эффективность реализации арифметических операций
c) Блоки ввода-вывода работают только на фиксированных напряжениях
d) Тактовые буферы (BUFG) обеспечивают минимальные skew тактового сигнала

3. Выберите ВСЕ правильные утверждения о языке VHDL:

a) Ключевое слово entity используется для описания интерфейса модуля

b) Тип signal используется для описания комбинационных соединений

c) Тип variable всегда означает регистр (триггер)

d) Процесс (process) с sensitivity list используется для описания комбинационной логики

4. Для описания комбинационного мультиплексора на 4 входа в VHDL НЕЛЬЗЯ использовать:

a) y <= d0 when sel = "00" else d1 when sel = "01" else d2 when sel = "10" else d3;

b) with sel select y <= d0 when "00", d1 when "01", d2 when "10", d3 when others;

c) process(clk) begin if rising_edge(clk) then y <= d0 when sel = "00" else... end if; end process;

d) process(sel, d0, d1, d2, d3) begin case sel is when "00" => y <= d0;... end case; end process;

5. Установите соответствие между конструкцией VHDL и ее описанием:

Конструкция Описание

1. y <= a and b; A. Описание D-триггера с асинхронным сбросом

2. process(clk) begin if rising_edge(clk) then q <= d; end if; end process; B. Непрерывное присваивание

3. process(clk, rst) begin if rst = '1' then q <= '0'; elsif rising_edge(clk) then q <= d; end if; end process; C. Описание комбинационной логики

4. process(a, b) begin if a > b then y <= a; else y <= b; end if; end process; D. Описание D-триггера

Ответ: 1-B, 2-D, 3-A, 4-C

Тема 2: Синхронные схемы и конечные автоматы в Vivado

6. Основным преимуществом синхронного принципа проектирования в Vivado является:

a) Уменьшение потребляемой мощности

b) Упрощение временного анализа

c) Увеличение быстродействия системы

d) Сокращение количества используемых LUT

7. Для описания конечного автомата в VHDL рекомендуется использовать:

a) Один процесс process

b) Два процесса: комбинационный и последовательный

c) Только конструкцию concurrent assignment

d) Только конструкцию case

8. Кодирование состояний автомата "one-hot" в Vivado означает, что:

a) Каждое состояние кодируется уникальным двоичным кодом

b) Все состояния кодируются кодом Грея

c) Каждое состояние кодируется одним битом

d) Состояния кодируются минимальным количеством бит

9. При временном анализе проекта в Vivado в отчете Fmax означает:

a) Время задержки распространения сигнала

b) Минимальный период тактового сигнала

c) Максимальную частоту тактового сигнала

d) Время установки (setup time)

10. Для устранения дребезга контактов механических кнопок в Vivado typically используют:

a) Увеличение тактовой частоты

b) RC-фильтр и синхронизацию

c) Увеличение напряжения питания

d) Дополнительные LUT

Тема 3: Верификация и работа с периферией в Vivado

11. Тестовое окружение (testbench) в Vivado предназначено для:

a) Синтеза проекта в ПЛИС
b) Функциональной верификации проекта
c) Программирования ПЛИС
d) Анализа потребляемой мощности

12. Какая конструкция VHDL используется для вывода информации в консоль при моделировании?

a) report "message";
b) write("message");
c) print("message");
d) display("message");

13. Для организации обмена данными между ПЛИС Xilinx и компьютером часто используют интерфейс:

a) SPI
b) I2C
c) UART
d) PWM

14. Принцип работы ШИМ (PWM) заключается в:

a) Изменении частоты сигнала
b) Изменении скважности сигнала
c) Изменении амплитуды сигнала
d) Кодировании информации в фазе сигнала

15. Для визуализации результатов работы проекта на отладочной плате Xilinx typically используют:

a) Светодиоды и семисегментные индикаторы
b) Только UART
c) Встроенные осциллографы
d) Внешние анализаторы протоколов

Тема 4: Вопросы на самостоятельное изучение

16. Методами борьбы с метастабильностью в ПЛИС Xilinx являются:

a) Увеличение тактовой частоты
b) Использование синхронизаторов (two-flop synchronizer)
c) Использование кода Грея
d) Уменьшение напряжения питания

17. Интерфейс I2C характеризуется:

a) Двухпроводной организацией (SDA, SCL)
b) Высокой скоростью передачи (до 1 Гбит/с)
c) Возможностью работы с несколькими ведомыми устройствами
d) Полнодуплексным режимом работы

18. Преимуществом HLS (High-Level Synthesis) в Vivado является:

a) Более качественное аппаратное решение
b) Ускорение процесса разработки
c) Полный отказ от языков HDL
d) Автоматическая оптимизация потребления

19. Встроенный логический анализатор (ILA) в Vivado позволяет:

a) Программировать ПЛИС
b) Отлаживать проект в реальном времени
c) Синтезировать проект
d) Измерять температуру кристалла

20. Конвейеризация (pipelining) в архитектуре Xilinx позволяет:

a) Увеличить латентность системы
b) Увеличить пропускную способность системы

c) Уменьшить количество LUT
d) Упростить верификацию проекта

Критерии оценивания теста:
10 баллов – 96% и более правильных ответов
9 баллов – 91-95% правильных ответов
8 баллов – 86 – 90% правильных ответов
7 баллов – 81-85% правильных ответов
6 баллов – 76-80% правильных ответов
5 баллов – 71-75% правильных ответов
4 балла – 66-70% правильных ответов
3 балла – 61-65% правильных ответов
2 балла – 56-60% правильных ответов
1 балл – 51-55% правильных ответов
0 баллов – менее 51% правильных ответов

Зачтено – 4 балла и более
Не зачтено – менее 4 баллов

6.2. Оценочные средства и критерии оценивания для промежуточной аттестации

Форма промежуточной аттестации – **зачет**

Для определения уровня сформированности компетенций применяется процедура независимой оценки. Независимая оценка уровня сформированности компетенций осуществляется комиссией (с возможностью привлечения внешних экспертов со стороны работодателей). В состав комиссии входят 3 преподавателя: заведующий кафедрой – председатель комиссии и независимый эксперт, преподаватель, ведущий лабораторные занятия по дисциплине «Синтез цифровых устройств на ПЛИС», преподаватель кафедры – независимый эксперт. Зачет проходит в форме просмотра портфолио.

Требования к структуре и содержанию портфолио

Портфолио студента включает в себя следующие виды деятельности и их оценки:

№ п/п	Вид деятельности	Количество заданий	Пороговая оценка	Максимальная оценка
1.	Конспекты ответов на вопросы, выносимые на самостоятельное обучение	6 вопросов	30	60
2.	Выполнение и защита лабораторной работы	4 лабораторные работы	24	40
3.	Пройденный тест	1 тест	4	10

Критерии и показатели оценивания портфолио по уровням

Уровень	Критерии и показатели оценивания
10 баллов	По результатам оценки портфолио набрано 93-100% от максимально возможного количества баллов, при этом по всем видам деятельности достигнуты пороговые значения
9 баллов	По результатам оценки портфолио набрано 86-92% от максимально возможного количества баллов, при этом по всем видам деятельности достигнуты пороговые значения
8 баллов	По результатам оценки портфолио набрано 79-85% от максимально возможного количества баллов, при этом по всем видам

	деятельности достигнуты пороговые значения
7 баллов	По результатам оценки портфолио набрано 71-78% от максимально возможного количества баллов, при этом по всем видам деятельности достигнуты пороговые значения
6 баллов	По результатам оценки портфолио набрано 64-70% от максимально возможного количества баллов, при этом по всем видам деятельности достигнуты пороговые значения
5 баллов	По результатам оценки портфолио набрано 57-63% от максимально возможного количества баллов, при этом по всем видам деятельности достигнуты пороговые значения
4 балла	По результатам оценки портфолио набрано 50-56% от максимально возможного количества баллов, при этом по всем видам деятельности достигнуты пороговые значения
3 балла	По результатам оценки портфолио набрано 36-49% от максимально возможного количества баллов и/или хотя бы по одному из видов деятельности не достигнуто пороговое значение
2 балла	По результатам оценки портфолио набрано 21-45% от максимально возможного количества баллов и/или хотя бы по одному из видов деятельности не достигнуто пороговое значение
1 балл	По результатам оценки портфолио набрано менее 21% от максимально возможного количества баллов и/или хотя бы по одному из видов деятельности не достигнуто пороговое значение

Таблица перевода оценок из 10-ти бальной системы в бинарную систему

Оценка по 10-ти бальной системе	Оценка по бинарной системе
10, 9, 8, 7,6,5,4	зачтено
3, 2, 1	не зачтено

7. Перечень основной и дополнительной учебной литературы

7.1. Основная литература

1. Вадутов О. С. Электроника. Математические основы обработки сигналов : учебник и практикум для вузов / О. С. Вадутов. — Москва : Издательство Юрайт, 2024. — 307 с. — (Высшее образование). — ISBN 978-5-9916-6551-3. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: https://urait.ru/bcode/537281.

2. Белов Л. А. Радиоэлектроника. Формирование стабильных частот и сигналов : учебник для вузов / Л. А. Белов. — 3-е изд., перераб. и доп. — Москва : Издательство Юрайт, 2025. — 268 с. — (Высшее образование). — ISBN 978-5-534-14694-3. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: https://urait.ru/bcode/563824**.**

3. Щепетов, А. Г. Преобразование измерительных сигналов : учебник и практикум для вузов / А. Г. Щепетов, Ю. Н. Дьяченко ; под редакцией А. Г. Щепетова. — Москва : Издательство Юрайт, 2025. — 270 с. — (Высшее образование). — ISBN 978-5-534-01177-7. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: https://urait.ru/bcode/560822.

4. Нефедов В. И. Радиотехнические цепи и сигналы : учебник для вузов / В. И. Нефедов, А. С. Сигов ; под редакцией В. И. Нефедова. — Москва : Издательство Юрайт, 2025. — 319 с. — (Высшее образование). — ISBN 978-5-534-19219-3. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: https://urait.ru/bcode/561145.

5. Новожилов О. П. Электроника и схемотехника в 2 ч. Часть 1 : учебник для вузов / О. П. Новожилов. — Москва : Издательство Юрайт, 2025. — 382 с. — (Высшее

образование). — ISBN 978-5-534-03513-1. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: https://urait.ru/bcode/561708.

6. Новожилов О. П. Электроника и схемотехника в 2 ч. Часть 2 : учебник для вузов / О. П. Новожилов. — Москва : Издательство Юрайт, 2025. — 421 с. — (Высшее образование). — ISBN 978-5-534-03515-5. — Текст : электронный // Образовательная платформа Юрайт [сайт]. — URL: https://urait.ru/bcode/561709.

7.2. Дополнительная литература

1. **Роудс Д.** Проектирование синтезаторов частот для систем радиосвязи: учебное пособие для вузов / Д. Роудс; пер. с англ. – М.: Техносфера, 2020. – 335 с. – ISBN 978-5-94836-543-2.

2. **Мануалов В.П.** Микросхемы синтезаторов частот и их применение: справочное пособие / В.П. Мануалов. – М.: Солон-Пресс, 2019. – 493 с. – ISBN 978-5-91359-312-4.

3. **Смирнов А.В.** Проектирование синтезаторов частот на ПЛИС: учебное пособие для вузов / А.В. Смирнов. – М.: ДМК Пресс, 2021. – 301 с. – ISBN 978-5-97060-845-7.

4. **Петров К.А.** Фазовый шум в синтезаторах частот: анализ и методы подавления: учебное пособие для вузов / К.А. Петров, Н.А. Иванов. – М.: Техносфера, 2020. – 168 с. – ISBN 978-5-94836-578-4.

5. **Николаев Д.В.** Гибридные синтезаторы частот: теория и практика: учебное пособие для вузов / Д.В. Николаев. – М.: Горячая линия-Телеком, 2021. – 301 с. – ISBN 978-5-9912-0789-5.

6. **Соколов В.Г.** Микросхемы DDS: применение и программирование: учебное пособие для вузов / В.Г. Соколов, Е.А. Склярова. – М.: ДМК Пресс, 2021. – 248 с. – ISBN 978-5-97060-912-6.

7. **Андреев В.С.** Проектирование высокостабильных синтезаторов частот: учебно-методическое пособие / В.С. Андреев, Е.В. Кислякова. – СПб.: СПбГУТ, 2019. – 192 с. – ISBN 978-5-9912-0654-6.

8. **Голдберг Л.М.** Цифровые синтезаторы частот: теория и применение: учебное пособие для вузов / Л.М. Голдберг. – М.: Радио и связь, 2018. – 312 с. – ISBN 978-5-256-04521-3.

9. **Бест Р.Э.** Системы фазовой автоподстройки частоты: проектирование, моделирование и применение: учебное пособие для вузов / Р.Э. Бест; пер. с англ. – М.: ДМК Пресс, 2019. – 456 с. – ISBN 978-5-97060-712-2.

10. **Синтезаторы частот:** теория и практика: учебник для вузов / В.А. Иванов, Е.Ю. Петрова, Н.Б. Смирнова, П.И. Кузнецов; под редакцией В.А. Иванова. – М.: Техносфера, 2021. – 399 с. – ISBN 978-5-94836-567-8.

7.3. Перечень ресурсов информационно-телекоммуникационной сети «Интернет»

1. **https://www.analog.com/** – Официальный сайт Analog Devices с технической документацией, application notes и примерами проектов синтезаторов частот.

2. **https://www.ti.com/** – Официальный сайт Texas Instruments с ресурсами по проектированию синтезаторов частот и инструментами проектирования.

3. **https://www.ieee.org/** – Сайт IEEE с научными статьями и публикациями по синтезаторам частот и смежным темам.

4. **https://www.microwaves101.com/** – Энциклопедия микроволновой техники с разделами по синтезаторам частот и PLL.

5. **https://www.rfglobalnet.com/** – Ресурс для RF-инженеров с техническими статьями и новостями в области синтезаторов частот.

6. **https://www.edaboard.com/** – Международный форум по электронике с разделами по проектированию синтезаторов.

7. **https://www.allaboutcircuits.com/** – Образовательный ресурс с техническими статьями и учебными материалами по синтезаторам частот.

8. **https://www.gaussianwaves.com/** – Блог с техническими статьями по проектированию синтезаторов и цифровой обработке сигналов.

9. **https://www.electronics-notes.com/** – Ресурс с учебными материалами по синтезаторам частот и RF-технике.

10. **https://www.qsl.net/** – База знаний для радиолюбителей с практическими материалами по синтезаторам частот.

8. Материально-техническое обеспечение

Учебная аудитория для проведения занятий лекционного типа, оснащенная стандартной учебной мебелью, мультимедиапроектором, ноутбуком, колонками и интерактивной доской.

Учебная аудитория для проведения занятий семинарского типа (лабораторных занятий), групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации, оснащенная стандартной учебной мебелью и оборудованием, необходимым для проведения лабораторных работ, персональными компьютерами.

Помещение для самостоятельной работы – компьютерный класс с доступом к сети «Интернет» и ЭИОС СмолГУ.

9. Программное обеспечение

Microsoft Open License (Windows 8, 10, Server, Office 2003-2016), лицензия 66975477 от 03.06.2016 (бессрочно).

Обучающимся обеспечен доступ к ЭБС «Юрайт», а также доступ в электронную информационно-образовательную среду университета.